

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年11月15日

出 願 番 号
Application Number:

特願2002-332093

[ST.10/C]:

[JP 2002-332093]

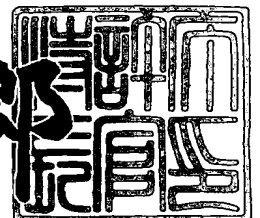
出 願 人
Applicant(s):

株式会社東芝

2003年 3月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3021544

【書類名】 特許願

【整理番号】 APB0260141

【提出日】 平成14年11月15日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/06
H01L 27/10
H01L 27/04

【発明の名称】 半導体装置

【請求項の数】 20

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 清利 正弘

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100097629

【弁理士】

【氏名又は名称】 竹村 壽

【電話番号】 03-3843-4628

【手数料の表示】

【予納台帳番号】 004961

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体素子が形成された半導体基板と、

前記半導体基板上に各々が層間絶縁膜を介して複数層積層された多層金属配線層と、

前記多層金属配線層上に層間絶縁膜を介して形成された上部金属電極、誘電体膜及び下部金属電極から構成されたキャパシタと、

前記キャパシタを被覆するように形成された絶縁膜上に設けられた上層の配線層とを備え、

前記キャパシタは、第 1 及び第 2 の素子から構成され、これら第 1 及び第 2 の素子は、それぞれ積層された下部金属電極、誘電体膜及び上部金属電極から構成され、各々の上部金属電極は、実質的に同じ大きさ形状であり、且つそれぞれの上部金属電極は、各々前記下部金属電極及び前記誘電体膜が形成配置されている領域内に形成され、前記第 1 の素子の下部金属電極と前記第 2 の素子の上部金属電極とは電氣的に接続され、前記第 1 の素子の上部金属電極と前記第 2 の素子の下部金属電極とは電氣的に接続されていることを特徴とする半導体装置。

【請求項 2】 前記第 1 の素子の下部金属電極と前記第 2 の素子の上部金属電極とは前記上層の配線層を構成する第 1 の配線により接続され、前記第 1 の素子の上部金属電極と前記第 2 の素子の下部金属電極とは前記上層の配線層を構成する第 2 の配線により接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記キャパシタを構成する誘電体膜は、高誘電体材料からなる第 1 の膜とリーク電流の低い材料からなる第 2 の膜とから構成された積層膜からなることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】 前記第 1 の膜には、 Ta_2O_5 膜、 Nb_2O_3 、 ZrO_2 、 HfO_2 、 La_2O_3 、 Pr_2O_3 のいずれかを用い、前記第 2 の膜には、 Al_2O_3 膜、 SiO_2 、 SiN のいずれかを用いることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記キャパシタを構成する下部金属電極は、TiN からなり、上部金属電極は、TiN からなることを特徴とする請求項 3 乃至請求項 4 のいずれかに記載の半導体装置。

【請求項 6】 前記キャパシタを構成する誘電体膜は、高誘電体材料からなる第 1 の膜とリーク電流の低い材料からなり、前記第 1 の膜を挟む第 2 及び第 3 の膜とから構成された積層膜からなることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 7】 前記第 1 の膜には、 Ta_2O_5 膜、 Nb_2O_3 、 ZrO_2 、 HfO_2 、 La_2O_3 、 Pr_2O_3 のいずれかを用い、前記第 2 及び第 3 の膜には、 Al_2O_3 膜、 SiO_2 、 SiN のいずれかを用いることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 前記キャパシタを構成する下部金属電極及び上部金属電極は、TiN からなることを特徴とする請求項 6 又は請求項 7 に記載の半導体装置。

【請求項 9】 前記第 1 の膜と前記第 2 の膜とは厚さが互いに異なることを特徴とする請求項 6 乃至請求項 8 のいずれかに記載の半導体装置。

【請求項 10】 前記キャパシタを構成する誘電体膜は、酸素欠損を有し、前記キャパシタを構成する上部金属電極及び下部金属電極は、ニッケルからなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 11】 前記誘電体膜は、比誘電率が 20 以上の高誘電率材料からなることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】 前記高誘電率材料は、 Ta_2O_5 、 Nb_2O_3 、 ZrO_2 、 HfO_2 、 La_2O_3 、 Pr_2O_3 のいずれかからなることを特徴とする請求項 10 に記載の半導体装置。

【請求項 13】 半導体素子が形成された半導体基板と、
前記半導体基板上に各々が層間絶縁膜を介して複数層積層された多層金属配線層と、

前記半導体基板上に前記多層金属配線層を被覆するように形成された誘電体膜と、

前記誘電体膜上に形成された実質的に同じ大きさ形状の第 1 及び第 2 の上部金

属電極と、

前記第 1 及び第 2 の上部金属電極及び誘電体膜を被覆するように形成された絶縁膜上に設けられた上層の配線層とを備え、

前記第 1 及び第 2 の上部金属配線、前記誘電体膜及び前記多層金属配線層の最上層の金属配線層はキャパシタを構成し、前記キャパシタは、第 1 及び第 2 の素子から構成され、前記第 1 の素子は、前記第 1 の上部金属電極、前記誘電体膜及び前記最上層の金属配線層の一部からなる第 1 の下部金属電極からなり、前記第 2 の素子は、前記第 2 の上部金属電極、前記誘電体膜及び前記最上層の金属配線層の一部からなる第 2 の下部金属電極からなり、前記第 1 及び第 2 の上部金属電極は、それぞれ前記第 1 の下部金属電極、前記第 2 の下部電極及び前記誘電体膜が形成配置されている領域内に形成され、前記第 1 の素子の第 1 の下部金属電極と前記第 2 の素子の第 2 の上部金属電極とは電氣的に接続され、前記第 1 の素子の第 1 の上部金属電極と前記第 2 の素子の第 2 の下部金属電極とは電氣的に接続されていることを特徴とする半導体装置。

【請求項 1 4】 前記第 1 の素子の第 1 の下部金属電極と前記第 2 の素子の第 2 の上部電極とは前記上層の配線層を構成する第 1 の配線により接続され、前記第 1 の素子の第 1 の上部金属電極と前記第 2 の素子の第 2 の下部金属電極とは前記上層の配線層を構成する第 2 の配線により接続されていることを特徴とする請求項 1 3 に記載の半導体装置。

【請求項 1 5】 前記誘電体膜は、比誘電率が 2 0 以上の高誘電体材料からなることを特徴とする請求項 W 又は請求項 1 6 に記載の半導体装置。

【請求項 1 6】 前記高誘電率材料は、 Ta_2O_5 、 Nb_2O_3 、 ZrO_2 、 HfO_2 、 La_2O_3 、 Pr_2O_3 のいずれかからなることを特徴とする請求項 1 5 に記載の半導体装置。

【請求項 1 7】 前記最上層の金属配線層は、Cu からなることを特徴とする請求項 1 3 至 1 6 のいずれかに記載の半導体装置。

【請求項 1 8】 前記多層金属配線層は、少なくとも 2 層の金属配線層を有していることを特徴とする請求項 1 乃至請求項 1 7 のいずれかに記載の半導体装置。

【請求項 1 9】 前記半導体基板にはアナログ回路が形成され、このアナログ回路には前記キャパシタが含まれていることを特徴とする請求項 1 乃至請求項 1 8 のいずれかに記載の半導体装置。

【請求項 2 0】 前記アナログ回路は、アナログーデジタルコンバータを含むことを特徴とする請求項 1 9 に記載の半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、R F 通信用などに用いられる M I M (Metal-Insulator-Metal) キャパシタを備えた半導体装置に関するものである。

【 0 0 0 2 】

【従来の技術】

通信技術の発達に伴い、パーソナルコンピュータ (P C) や携帯情報機器 (P D A) をスタンドアローンで用いることは稀になり、ネットワークに接続して用いることが常態化している。今後は冷蔵庫やエアコンなどの家庭電化製品についてもネットワークに接続されるようになることが予測される。このような多数の機器でネットワークを形成する場合、とくに一般家庭内においては、従来オフィス等で行われてきた個々の機器間に L A N ケーブルを配線してネットワークを構成する方法は適しておらず、無線を利用したワイヤレス接続が今後の主流となると考えられる。したがって、今後殆どの L S I チップに R F 通信機能が付加されることも考えられる。従来、このような用途に用いられる L S I は、用途に合わせて複数のチップ (R F アナログデバイス (S i G e - B i C M O S など) と C M O S ロジックデバイス) で構成されていたが、携帯情報機器等では小型化重視されるためにより小さいプリント基板占有面積で所望の回路性能を実現することが求められているため、R F 混載 L S I によるさらなる小型化が求められる。

【 0 0 0 3 】

また、R F 通信をより手軽に機器メーカーが利用できるようにするために、R F アナログデバイスと C M O S ロジックデバイスとをワンチップ内に混載することで、従来 R F 回路を設計した経験のないユーザでも R F 通信機能を利用できる

ようにすることが求められている。

一方、RFアナログデバイスとCMOSロジックデバイスをワンチップ化するためには、両デバイスの製造プロセスの統合を図る必要がある。RFアナログデバイスは、抵抗、インダクタンス、キャパシタなどを含み、CMOSロジックデバイスは、MOSトランジスタから構成されている。したがって、混載LSIを実現するためには、例えば、CMOSロジックプロセスをベースにして、これにRFアナログデバイスのプロセスを統合して新規なRF-CMOSプロセスを開発する必要が生じる。

【0004】

両プロセスの統合を図るに当たって、最初に問題となるのがキャパシタの構造とプロセスである。これは、RFアナログ回路を混載するためには複数の目的のキャパシタの混載が必要となり、それぞれの目的に応じて要求される仕様が異なるが、これを単一の仕様（単位面積当たりの容量密度、リーク電流特性など）のキャパシタで実現しなくてはならなくなるためである。例えば、RF受信部のノイズフィルタに用いられるキャパシタには数十マイクロボルトの電圧しか印加されないのに対して、アナログデジタル変換器（ADコンバータ）では2.5～3.6ボルトの電圧が印加される。

【0005】

したがって、アナログ回路に搭載されるキャパシタは、数十マイクロボルトでの使用に対しても、3ボルト程度の使用に対しても低リーク電流を実現できる絶縁性の高いキャパシタであることが要求される。また、キャパシタ蓄積電荷量の印加電圧に対する線形性（Voltage Linearity）に対する要求も目的によって異なる。前述のノイズフィルタ用途では線形性は重要ではないが、ADコンバータでは非常に良好な線形性が要求される。なぜならADコンバータは、模式的には図10に示すような1個のキャパシタ601と2個のスイッチング素子602、603とから構成される。スイッチング素子602、603は、RFの周期より速いスイッチングサイクルで開閉する。入力されたRF信号は、スイッチング素子602が開の時に、キャパシタ601に書き込まれ、続いてスイッチング素子602を閉じ、スイッチング素子603を開にすることで、キ

ャパシタ 6 0 2 に蓄えられた電荷が出力され、出力側の演算回路で離散数値に変換される。上記過程を繰り返すことにより R F のアナログ信号は時分割されてデジタル信号に変換される。このような A D コンバータにおける変換精度を決定する重要なパラメータの 1 つがキャパシタ 6 0 1 の蓄積電荷の印加に対する線形性である。

【 0 0 0 6 】

一般にキャパシタに蓄積される電荷量 Q は、容量 C 、印加電圧を V とすると、

$$Q = C V \quad (1)$$

の関係で表される。 C は、通常定数と見なされるが、実際には (2) 式に示す微弱な摂動項が存在している。

$$Q = C V = C_0 (1 + V C C 1 \times V + V C C 2 \times V^2) \quad (2)$$

理想的な系では $V C C 1 = V C C 2 = 0$ である。 $V C C 1 = V C C 2 = 0$ の場合、キャパシタ 2 0 1 に書き込まれた電荷は、波形を崩さずデジタル変換されるが、 $V C C 1$ や $V C C 2$ が 0 ではない場合には、とくに R F 波形の振幅の大きい部分で波形が歪んでデジタル変換されることになる。とくに $V C C 2$ に比べて $V C C 1$ は 0 ボルト付近でも、波形を大きく歪ませてしまうので、A D コンバータ性能への影響が大きい。そのため、R F 混載回路に作り込まれるキャパシタは、従来半導体装置に広く用いられてきた M O S (Metal-Oxide-Semiconductor) キャパシタや P I P (Poly-Si-Insulator-Poly-Si) キャパシタではシリコン電極の空乏化による非線形性が問題になるので、電極空乏化が起こり得ない M I M キャパシタでなければならない。

【 0 0 0 7 】

すなわち R F 混載 L S I を実現するためには、非常に高性能の M I M キャパシタが要求される。一方、L S I に対する微細化、チップ面積の縮小の要請は常にあり、M I M キャパシタの場合、個々のキャパシタの面積がそれぞれ数百平方ミクロンと大きいので、キャパシタ面積の削減、すなわち、単位面積当りキャパシタ容量の向上が非常に重要になる。しかし、このような面積の大きいキャパシタでの容量密度の向上には従来 D R A M のキャパシタ等で用いられた、電極を 3 次元化して側面積を利用して実効的なキャパシタ表面積を増大することで単位投影

面積当りの容量を増大させる方法は困難である。なぜなら、巨大な投影面積に見合うだけ側面積を増大させるには、単に柱状に電極を加工して側面積を利用する方法では数十ミクロンの高さの電極が必要になり、非現実的であるので、電極表面に微細な凹凸を形成するような複雑な加工工程が要求されるからである。

このような目的のために、MIMキャパシタの誘電体として従来用いられてきたシリコン窒化膜に代えてアルミナ、タンタルオキサイド等の高誘電率材料を用いることが検討されており、一部商業生産も始まっている。

【0008】

ところで、RF混載回路用キャパシタは、半導体基板上の多層配線上に形成することができれば、工程が単純になると共に半導体基板からの距離が取れるので対地寄生容量が小さくなるという利点があるため、銅あるいはアルミニウムの多層配線上に形成されるが、代償としてMIMキャパシタの形成温度の上限が400℃程度になってしまう。プロセス温度の上限に制限があることは良質な高誘電率膜を形成することが困難になると共に（高誘電率材料をゲート絶縁膜として検討する場合、800℃以上の熱工程が膜中の欠陥除去のために通常用いられている）、プロセスダメージにより高誘電率材料中に形成された欠陥を熱処理により除去することができないことを示している。

なお、半導体基板上に形成されたキャパシタを電圧依存性の少ない構造にすることは、特許文献1及び特許文献2に記載されている。

【0009】

【特許文献1】

特開昭59-55047号公報（第4図及び第5図、第5頁）

【特許文献2】

特開平1-241858号公報（第1図及び第2図、第2頁）

【0010】

【発明が解決しようとする課題】

このようなプロセス起因で生じるダメージとしては、キャパシタ上部電極をスパッタリング法により形成する際に、例えば、比誘電率が20以上の高誘電率材料に加わるプラズマダメージ、キャパシタ上部電極を加工するときに高誘電率膜

に加わるエッチングダメージ、キャパシタをプラズマCVD (Chemical Vapour Deposition) で形成される層間絶縁膜で被覆するときに加わるプラズマダメージや還元性雰囲気による酸素欠損生成等を上げることができる。

また、高誘電率材料の成膜時に下部電極の金属膜との反応（最も典型的なのは下部電極金属による高誘電率材料の還元）が起ることもプロセス起因のダメージとして考えられる。とくにプラズマプロセスによるダメージは、プラズマの半導体基板上での分布と密接な相関があり、現在のCMOSデバイスのように300mmφ基板上に作成される場合、基板面内で様なダメージが入ることは期待できず、ダメージ自体が通常分布を持っている。そのため、大口径基板全面で印加電圧に対する線形性の良好な高誘電率MIMキャパシタを作成することは非常に困難であった。

本発明は、半導体基板上の多層配線上に形成するのに適した高容量・高密度MIMキャパシタであり、ADコンバータ等のアナログ回路への応用に適する印加電圧に対する良好な線形性を示すキャパシタを提供する。

【 0 0 1 1 】

【課題を解決するための手段】

本発明は、MIMキャパシタを備えた半導体装置において、MIMキャパシタが2つの実質的に面積の等しい一対のキャパシタから構成され、一方のキャパシタの下部電極ともう一方のキャパシタの上部電極とが互いに配線で電氣的に接続された構造を有することを特徴としている。このような構造により、電圧に対する線形性の極めて優れたキャパシタが実現する。

電極界面での反応が起こり易い、例えば、比誘電率が20以上の高誘電率材料や大面積基板上での均一な界面形成が困難なような成膜方法（スパッタリングやプラズマCVDなど多くのプラズマプロセス）を用いても、印加電圧に対する良好な線形性を確保することができるので、今後あらゆる機器に搭載されるであろうRF混載LSIの面積削減、ひいてはこれらの機器の小型化に貢献することが可能になる。

【 0 0 1 2 】

すなわち、本発明の半導体装置は、半導体素子が形成された半導体基板と、前

記半導体基板上に各々が層間絶縁膜を介して複数層積層された多層金属配線層と、前記多層金属配線層上に層間絶縁膜を介して形成された上部金属電極、誘電体膜及び下部金属電極から構成されたキャパシタと、前記キャパシタを被覆するように形成された絶縁膜上に設けられた上層の配線層とを備え、前記キャパシタは、第1及び第2の素子から構成され、これら第1及び第2の素子は、それぞれ積層された下部金属電極、誘電体膜及び上部金属電極から構成され、各々の上部金属電極は、実質的に同じ大きさ形状であり、且つそれぞれの上部金属電極は、各々前記下部金属電極及び前記誘電体膜が形成配置されている領域内に形成され、前記第1の素子の下部金属電極と前記第2の素子の上部金属電極とは電氣的に接続され、前記第1の素子の上部金属電極と前記第2の素子の下部金属電極とは電氣的に接続されていることを特徴としている（請求項1）。前記第1の素子の下部金属電極と前記第2の素子の上部金属電極とは前記上層の配線層を構成する第1の配線により接続され、前記第1の素子の上部金属電極と前記第2の素子の下部金属電極とは前記上層の配線層を構成する第2の配線により接続されているようにしても良い（請求項2）。

【0013】

前記キャパシタを構成する誘電体膜は、高誘電体材料からなる第1の膜とリーク電流の低い材料からなる第2の膜とから構成された積層膜からなるようにしても良い（請求項3）。前記キャパシタを構成する誘電体膜は、高誘電体材料からなる第1の膜とリーク電流の低い材料からなり、前記第1の膜を挟む第2及び第3の膜とから構成された積層膜からなるようにしても良い（請求項6）。前記キャパシタを構成する誘電体膜は、酸素欠損を有し、前記キャパシタを構成する上部金属電極及び下部金属電極は、ニッケルからなるようにしても良い（請求項10）。

【0014】

本発明の半導体装置は、半導体素子が形成された半導体基板と、前記半導体基板上におのおのが層間絶縁膜を介して複数層積層された多層金属配線層と、前記半導体基板上に前記多層金属配線層を被覆するように形成された誘電体膜と、前記誘電体膜上に形成された実質的に同じ大きさ形状の第1及び第2の上部金属電

極と、前記第 1 及び第 2 の上部金属電極及び誘電体膜を被覆するように形成された絶縁膜上に設けられた上層の配線層とを備え、前記第 1 及び第 2 の上部金属配線、前記誘電体膜及び前記多層金属配線層の最上層の金属配線層はキャパシタを構成し、前記キャパシタは、第 1 及び第 2 の素子から構成され、前記第 1 の素子は、前記第 1 の上部金属電極、前記誘電体膜及び前記最上層の金属配線層の一部からなる第 1 の下部金属電極からなり、前記第 2 の素子は、前記第 2 の上部金属電極、前記誘電体膜及び前記最上層の金属配線層の一部からなる第 2 の下部金属電極からなり、前記第 1 及び第 2 の上部金属電極は、それぞれ前記第 1 の下部金属電極、前記第 2 の下部電極及び前記誘電体膜が形成配置されている領域内に形成され、前記第 1 の素子の第 1 の下部金属電極と前記第 2 の素子の第 2 の上部金属電極とは電氣的に接続され、前記第 1 の素子の第 1 の上部金属電極と前記第 2 の素子の第 2 の下部金属電極とは電氣的に接続されていることを特徴としている（請求項 1 3）。前記第 1 の素子の第 1 の下部金属電極と前記第 2 の素子の第 2 の上部電極とは前記上層の配線層を構成する第 1 の配線により接続され、前記第 1 の素子の第 1 の上部金属電極と前記第 2 の素子の第 2 の下部金属電極とは前記上層の配線層を構成する第 2 の配線により接続されているようにしても良い（請求項 1 5）。

【 0 0 1 5 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

まず、図 1 乃至図 5 を参照して第 1 の実施例を説明する。

図 1 乃至図 4 は、キャパシタを有する半導体装置の製造工程を説明する工程断面図及び半導体基板上のキャパシタ平面図、図 5 は、図 4 に示すキャパシタの模式図である。本発明のシリコン半導体基板 1 0 1 に既存の技術を用いて素子分離領域 1 0 2 を形成し、例えば、半導体素子としてゲート電極 1 0 3、ソース・ドレイン領域 1 0 4 等を順次形成して MOS トランジスタを設け、次いで、半導体基板 1 0 1 上に層間絶縁膜 1 0 5 をこの MOS トランジスタを被覆するように堆積させてこれを平坦化する。半導体基板上の配線は、ダマシン法などにより形成される。次に、層間絶縁膜 1 0 5 にビアホールを形成してこのビアホール内にコ

ンタクト配線となる金属膜106を埋め込む。そして、その上に窒化シリコン膜107を形成し、この窒化シリコン膜107の上に多層配線層を構成する第1の配線層108を形成する。

【0016】

第1の配線層108は、Cuなどの金属膜とこの金属膜の側面及び底面を被覆するTiNなどのバリア層111とから構成されている。バリア層111は、金属膜が絶縁膜中に拡散するのを防止するために設けられている。金属配線層108は、バリア層(TiN)111を介して窒化シリコン膜107上に形成される層間絶縁膜(CVD-SiO₂)114中に埋め込まれている。金属配線層108は、銅などの金属を埋め込んだあとにダマシン法により加工することで形成されている。第1の配線層108は、コンタクト配線である金属膜106と電氣的に接続されている。この層間絶縁膜114の上に窒化シリコン膜117を形成し、この窒化シリコン膜117の上に層間絶縁膜115を堆積させてこれを平坦化する。この層間絶縁膜115に第1の配線層108が露出するビアホール及び層間絶縁膜表面に開口部が形成された配線溝を形成し、このビアホール及び配線溝に金属膜を埋め込んで第1の配線層108と接続する第2の配線層109を形成する。第2の配線層109は、Cuなどの金属膜とこの金属膜の側面及び底面を被覆するTiNなどのバリア層112とから構成されている。

【0017】

層間絶縁膜115の上に窒化シリコン膜118を形成し、この窒化シリコン膜118の上に層間絶縁膜116を堆積させてこれを平坦化する。この層間絶縁膜116に第2の配線層109が露出するビアホール及び層間絶縁膜表面に開口部が形成された配線溝を形成し、このビアホール及び配線溝に金属膜を埋め込んで第2の配線層109と接続する第3の配線層110を形成する。第3の配線層110は、Cuなどの金属膜とこの金属膜の側面及び底面を被覆するTiNなどのバリア層113とから構成されている。層間絶縁膜116の上に窒化シリコン膜119を形成する。

次に、半導体基板101全面にチタン膜120、窒化チタン膜121、窒化シリコン膜122及び窒化チタン膜123を順次堆積させる。窒化チタン膜は、例

えば、PVD (Physical Vapour Deposition) で形成される。窒化シリコン膜は、例えば、PVD、プラズマCVDなどで形成される (図1)。

【0018】

次に、窒化チタン膜123上にフォトレジスト (図示しない) を塗布し、これをパターニングし、このパターニングされたフォトレジストをマスクにして窒化チタン膜125をエッチングして (リソグラフィ技術)、窒化チタン膜123から1対の素子 (第1の素子及び第2の素子) の上部電極124、125が形成される。

窒化チタン膜123をパターニングして形成された上部電極124及び上部電極125は、ほぼ同じ形状 (即ち、実質的に両者は同じ面積である) である (図2)。

次に、全面にフォトレジスト (図示しない) を塗布して、公知のリソグラフィ技術及びRIE (Reactive Ion Etching) 技術、アッシング技術により窒化シリコン膜122、窒化チタン膜121、チタン膜120を順次エッチングして、MIMキャパシタを構成する各層の処理が完了し、第1の素子のキャパシタ下部電極126と第2の素子のキャパシタ上部電極127が形成される。ここで形成されるキャパシタは、第1の素子とこの第1の素子と離れた位置に形成された第2の素子から構成される。

【0019】

第1の素子は、キャパシタ下部電極126-窒化シリコン膜 (誘電体膜) 122-キャパシタ上部電極124のキャパシタ構造を有し、第2の素子は、キャパシタ下部電極127-窒化シリコン膜 (誘電体膜) 122-キャパシタ上部電極125のキャパシタ構造を有している。第1及び第2の素子は、いずれもチタン膜120上に形成される。各素子のキャパシタ下部電極及び誘電体膜は、積層され、同じパターンである。また、それぞれのキャパ上部電極124、125は、いずれも誘電体膜及びキャパ下部電極が形成されている範囲の内側に設けられている。

【0020】

次に、酸化シリコン膜などの層間絶縁膜128がキャパシタを被覆するように

形成されている（図 3）。次に、半導体基板全面にフォトレジスト（図示せず）を塗布し、公知のリソグラフィ技術、R I E 技術及びアッシング技術により、層間絶縁膜 1 2 8 にキャパシタ電極 1 2 4、1 2 5、1 2 6、1 2 7 に連通するコンタクトホールが形成される。続いて層間絶縁膜 1 2 8 全面に金属膜を形成し、更に金属膜全面にフォトレジスト（図示しない）を塗布し、公知のリソグラフィ技術、R I E 技術及びアッシング技術により金属膜を加工して上層の配線層を形成する。このときの上層の配線層は、第 1 の素子のキャパシタ上部電極 1 2 4 と第 2 の素子のキャパシタ下部電極 1 2 7 とを接続する配線 1 2 9、第 1 の素子のキャパシタ下部電極 1 2 6 と第 2 の素子のキャパシタ上部電極 1 2 5 とを接続する配線 1 2 9' を有している（図 4）。この実施例で形成される半導体装置は、さらに工程を進めて、配線 1 2 9、1 2 9' 及び層間絶縁膜 1 2 8 が被覆され表面が平坦化された絶縁膜（図示しない）が形成される。そして、その絶縁膜表面に接続パッドが形成され、保護膜が施されて製品化される。

【 0 0 2 1 】

この様にして、半導体基板の多層配線層上に第 1 の素子及び第 2 の素子からなるキャパシタが形成される。その等価回路は、図 5 に示す通りである。このキャパシタは、上下対称で $VCC1$ がほぼ 0 である。本発明の M I M キャパシタと通常の M I M キャパシタの製造工程の違いは、単にリソグラフィのマスクの相違のみであり、工程の変更や増加を伴わない。

なお、この実施例では誘電体膜としてシリコン窒化膜、電極膜として窒化チタン膜を用いたが、本発明は、これに限定されるものではなく、例えば、キャパシタ誘電体膜としてアルミナ膜、タンタルオキサイド膜、ハフニウムオキサイド膜、ジルコニウムオキサイド膜等の利用が可能であり、電極膜としても窒化タンゲステン膜、窒化タンタル膜、窒化チタン／A l C u／窒化チタン積層膜等の利用も可能である。また、例えば、誘電体膜としてタンタルオキサイド／アルミナ積層膜等の上下非対称な膜構造、あるいは上部電極が窒化チタン、下部電極が銅膜等の上下非対称な電極構造を用いても $VCC1$ をほぼ 0 にすることができる。

この実施例で形成される半導体装置のキャパシタは、例えば、アナログ—デジタルコンバータ（A D C）に用いられ、アナログ信号を入力してデジタル信号を

出力する。この実施例では多層配線層は、3層であるが、本発明では層数に制限はない。

【 0 0 2 2 】

次に、図6を参照して第2の実施例を説明する。

図6は、半導体基板上の多層配線層の上に形成されたキャパシタの断面図、平面図及び模式図である。この図では半導体基板は示さず、多層配線層の上部及びその上に形成されたキャパシタを示している。この実施例では、比誘電率が20以上である高誘電率材料として Ta_2O_5 をキャパシタ誘電体膜として用いることで高容量・高密度化をはかるものである。一般に、 Ta_2O_5 と TiN 電極で形成されるMIMキャパシタは、リーク電流が大きい(リーク電流はキャパシタに蓄積された電荷損失によって $VCC1$ と同様の信号の歪みをもたらす)という欠点があるので、従来はリーク電流を抑制する目的で電極の一方と Ta_2O_5 膜との間に Al_2O_3 膜を挟み込んで絶縁性を改善している。

しかし、この構造では図6(a)に示すようにキャパシタ誘電体膜が積層構造で非対称な構造DEあるために $VCC1$ が約1000ppmと大きかった。そこで本発明の構造(即ち、積層構造が同じで上部電極の形状が同一の2つのキャパシタを用意し、それぞれの上部電極と相手の下部電極とをそれぞれ電氣的に接続してこれらキャパシタを1つのキャパシタとする構造)を採用することにより $VCC1$ をほぼ0にしながら、しかも低リーク電流化を実現することができた。

なお、MIMキャパシタ下地となる半導体基板上の多層配線層の形成工程は第1の実施例と同じであるので説明を省略する。

【 0 0 2 3 】

第1の実施例と同様、MIMキャパシタは、多層金属配線層上に形成される。最上層の金属配線層110はバリア層(TiN)113を介して層間絶縁膜($CVD SiO_2$)116中に埋め込まれている。金属配線層は、銅などの金属を埋め込んだあとにダマシン法により加工することで形成されている。金属配線層上には窒化シリコン層119が形成されている。

次に、半導体基板全面にチタン膜220、窒化チタン膜を形成し、その後、ALD(Atomic Layer Deposition)法により Al_2O_3 膜221を形成し、更に

LPCVD法により Ta_2O_5 膜222、スパッタ法により上部電極として成形される窒化チタン膜を順次形成する。次に、第1の実施例と同様に、積層された膜を加工して、第1及び第2の素子からなる一対のキャパシタを形成する。その後、層間絶縁膜228を形成後、配線工程において、第1の素子のキャパシタ上部電極224と第2の素子のキャパシタ下部電極227、第1の素子のキャパシタ下部電極226と第2の素子のキャパシタ上部電極225とがそれぞれ独立の配線229、229'で接続することにより、上下対称な構造を有するMIMキャパシタが形成される。配線229、229'は、キャパシタの上に層間絶縁膜228を介して形成された上層の金属配線層を構成している(図6(b))。

【0024】

なお、この実施例ではリーク電流を抑制するために Al_2O_3 膜を用いたが、本発明は、この材料に限定されるものではなく、 SiO_2 、 SiN_x ($x=1\sim 1.33$)等の絶縁膜を用いることも可能である。

なお、この実施例では、比誘電率が20以上である高誘電率材料として Ta_2O_5 膜を用いたが、本発明は、この材料に限定されるものではなく、 Nb_2O_3 、 ZrO_2 、 HfO_2 、 La_2O_3 、 Pr_2O_3 などの高誘電率材料を用いることができる。

【0025】

次に、図7を参照して第3の実施例を説明する。

図7は、半導体基板上の多層配線層の上に形成されたキャパシタの断面図、平面図及び模式図である。この図では半導体基板は示さず、多層配線層の上部及びその上に形成されたキャパシタを示している。この実施例では、比誘電率が20以上の高誘電率材料である Ta_2O_5 の上下を SiN 膜で挟み込んだ構造のキャパシタ誘電体膜として用いるMIMキャパシタ上下の SiN 膜の膜厚が異なることに起因するVCC1成分を本発明の構造によって抑制するものである。第2の実施例ではリーク電流を抑制するために下部電極側に Ta_2O_5 と別の絶縁膜を挟み込む構造であったが、125℃などの高温で動作を保証するLSI用途ではリーク電流抑制のために Ta_2O_5 の上下に絶縁膜を挟み込む必要が生じる。リーク電流低減のための絶縁膜は、一般に Ta_2O_5 に比べて低誘電率であるため

に高容量密度化を実現するにはその膜厚を可能な限り薄くした方がよい。下部電極側に比べて上部電極側の絶縁膜は上部電極スパッタ時のプラズマダメージを受けるため、下部電極側と同等のリーク電流抑制効果を得るためには厚膜化する必要がある。例えば、PVDで形成するSiNを上部電極とTa₂O₅との界面に5nm、Ta₂O₅と下部電極との界面に2nm挿入することで、125℃±3・6Vで 1.0×10^{-10} A/mm²以下の低リーク電流が実現できた。

【0026】

しかし、この構造では図7(a)に示すようにキャパシタ誘電体膜が積層構造で非対称な構造をしているためにVCC1が約600ppmと大きかった。そこで、本発明の構造を採用することにより、VCC1をほぼ0にしながら低リーク電流を実現することができた。

MIMキャパシタを支持する半導体基板上の多層金属配線層の形成工程は第1の実施例と同じなので説明を省略する。

MIMキャパシタは多層金属配線層上に形成される。最上層の金属配線層110はバリア層113を介して層間絶縁膜116中に埋め込まれている。金属配線層は銅などの金属を埋め込んだあとにダマシン法などにより加工することで形成されている。配線層上には窒化シリコン層119が形成されている。

【0027】

次に、半導体基板全面にチタン膜320、窒化チタン膜を形成したあとに、スパッタリング法によりSiN膜321、Ta₂O₅膜322、SiN膜323、上部電極となる窒化チタン膜を順次形成する。次に、第1及び第2の実施例と同様に、第1の素子及び第2の素子からなる一対のキャパシタを加工し、層間絶縁膜328の形成と配線とを行うことにより、MIMキャパシタを形成する。ここで第1の素子のキャパシタ上部電極324と第2の素子のキャパシタ下部電極327、第1の素子のキャパシタ下部電極326と第2の素子のキャパシタ上部電極325とがそれぞれ独立の配線329、329'で接続されることにより、上下対称な構造を有するMIMキャパシタが形成される。配線329、329'は、キャパシタの上に層間絶縁膜328を介して形成された上層の金属配線層を構成している(図7(b))。

なお、ここではリーク電流を抑制するためにSiN膜を用いたが、本発明は、 SiO_2 、 ZrO_2 、 HfO_2 、 La_2O_3 、 Pr_2O_3 等の絶縁膜を用いることも可能である。また、SiN、 Ta_2O_5 膜形成にはスパッタリング法を用いたが、本発明は、CVD法あるいは塗布法による形成も可能である。

【0028】

次に、図8を参照して第4の実施例を説明する。

図8は、半導体基板上の多層配線層の上に形成されたキャパシタの断面図、平面図及び模式図である。この図では半導体基板は示さず、多層配線層の上部及びその上に形成されたキャパシタを示している。この実施例では比誘電率が20以上の高誘電率材料である Ta_2O_5 を用いるMIMキャパシタの上下電極としてNi電極を用いるものである。Ni電極/ Ta_2O_5 界面は、熱的に安定なので第2乃至第3の実施例に示したようなSiNなどのバリア層は不要であり、容易に低リーク電流を得ながら、なおかつ非常に高い容量密度(30nmの Ta_2O_5 で $\sim 7\text{fF}/\mu\text{m}^2$ 、 Ta_2O_5 と電極との界面に低誘電率材料を挿入する構造では $4\text{fF}/\mu\text{m}^2$ 程度が高容量密度化の限界である)が得られるが、VCC1を評価したところ800ppmと大きかった。これは、とくに上部電極のNiをスパッタリングで形成する際に、 Ta_2O_5 膜中にプラズマダメージによる欠陥(酸素欠損)が生じる。図8(a)及び図8(b)では酸素欠損を“×”で模式的に示している。酸素欠損は、2価のドナーとして働くので、エネルギーバンドは湾曲し、バンド構造の上下対称性が崩れるためにVCC1が増大する。しかし、本発明の構造を採用することにより、VCC1をほぼ0にしながら低リーク電流と高容量密度とを実現することができる。

【0029】

MIMキャパシタを支持する半導体基板上の多層配線層の形成工程は、第1の実施例と同じなので説明を省略する。

MIMキャパシタは、多層金属配線層上に形成される。最上層の金属配線層110は、バリア層113を介して層間絶縁膜116中に埋め込まれている。金属配線層は銅などの金属を埋め込んだあとにダマシン法により加工することで形成されている。配線層上には窒化シリコン層119が形成されている。

【 0 0 3 0 】

次に、半導体基板上の窒化シリコン膜 1 1 9 全面にスパッタリング法により下部電極となるニッケル (Ni) 膜 4 0 1、 Ta_2O_5 膜 4 0 2、上部電極となるニッケル (Ni) 膜 4 0 3 を順次形成する。次に、第 1 乃至第 3 の実施例と同様に、第 1 の素子と第 2 の素子からなる一対のキャパシタを加工し、層間絶縁膜 4 0 8 の形成と配線接続とを行うことにより、MIM キャパシタを形成する。ニッケル (Ni) 膜 4 0 1 は、第 1 及び第 2 の素子の下部電極 4 0 6、4 0 7 に加工され、 Ta_2O_5 膜 4 0 2 は、第 1 及び第 2 の素子の誘電体膜に加工され、ニッケル (Ni) 膜 4 0 3 は、第 1 及び第 2 の素子の上部電極 4 0 4、4 0 5 に加工される。ここで、第 1 の素子のキャパシタ上部電極 4 0 4 と第 2 の素子のキャパシタ下部電極 4 0 6、第 1 の素子のキャパシタ下部電極 4 0 5 と第 2 の素子のキャパシタ上部電極 4 0 4 とがそれぞれ独立の配線 4 0 9、4 0 9' で接続することにより、上下対称な構造を有する MIM キャパシタが形成される。配線 4 0 9、4 0 9' は、キャパシタの上に層間絶縁膜 4 0 8 を介して形成された上層の金属配線層を構成している (図 8 (b))。

【 0 0 3 1 】

次に、図 9 を参照して第 5 の実施例を説明する。

図 9 は、半導体基板上の多層配線層の上に形成されたキャパシタの断面図、平面図及び模式図である。この図では半導体基板は示さず、多層配線層の上部及びその上に形成されたキャパシタを示している。この実施例は、上部及び下部電極に異種材料を用いることによる非対称性を本発明により相殺するものである。MIM キャパシタの電極は、低抵抗であるほど回路特性 (Q 値) が向上するので低抵抗であることが望ましい。低抵抗の電極として半導体装置 (LSI) の多層配線に用いられる銅 (Cu) は有望であり、配線層形成時に MIM キャパシタの下部電極が同時に形成できるという製造上の利点もある。しかし、Cu の加工は通常ダマシン法で形成されており、MIM キャパシタの上部電極には用い難い。何故なら MIM キャパシタの上部電極加工は通常 RIE 技術を用いて行うからである。そこで上部電極には従来用いてきた TiN を用いると、SiN と TiN、SiN と Cu との間のショットキーバリア高さが異なるために、図 9 (a) に示す

ように、エネルギーバンドは非対称な構造になり、VCC1の値は約180 ppmとなった。

そこで、本発明の構造を採用することにより、VCC1をほぼ0にしながら良好なQ値が得られるMIMキャパシタを実現できた。

【0032】

半導体基板及びMIMキャパシタを支持する多層金属配線層の形成工程は、第1の実施例と同じなので説明を省略する。

この実施例のMIMキャパシタの下部電極505は、多層金属配線層の最上層の金属配線層110の一部を兼用することを特徴としている。金属配線層110は、バリア層113を介して層間絶縁膜116中に埋め込まれている。金属配線層は銅などの金属を埋め込んだあとにダマシン法により加工することで形成されている。

次に、スパッタリング法により一部が下部電極となる多層金属配線層の最上層の金属配線層110上及び層間絶縁膜116上に窒化シリコン膜501、上部電極となる窒化チタン膜502を順次形成する。次に、第1乃至第4の実施例と同様に、第1の素子及び第2の素子からなる一対のキャパシタが形成されるように窒化チタン膜502を加工し、層間絶縁膜508の形成と配線とを行うことによりMIMキャパシタが形成される。ここで、最上層の金属配線層110は、一部を第1及び第2の素子の下部電極505、506として用いられる。そして、その上の窒化シリコン膜501は、第1及び第2の素子の誘電体膜として共用される。さらに、窒化チタン膜502は、誘電体膜を介して下部電極505、506上にそれぞれ載置される上部電極503、504に加工される。

【0033】

ここで、第1の素子のキャパシタ上部電極503と第2の素子のキャパシタ下部電極506、第1の素子のキャパシタ下部電極505と第2の素子のキャパシタ上部電極504とがそれぞれ独立の配線509、509'で接続することにより、上下対称な構造を有するMIMキャパシタが形成される。配線509、509'は、キャパシタの上に層間絶縁膜508を介して形成された上層の金属配線層を構成している（図9（b））。

以上の実施例ではS i N膜はスパッタリング法で形成した。これは、上部電極である窒化チタンも連続にスパッタリングで形成できるので製造時間短縮に有効であるからである。しかし、本発明は、スパッタリングに代えてS i Nを通常のPECVD（プラズマCVD）法で形成することも可能である。

本発明は、以上のような構成により、半導体基板上のキャパシタが上下対称な構造にあるためVCC1をほぼ0にすることができる。したがって、キャパシタに入力するアナログ信号は歪みのないデジタル信号となって出力される。

【0034】

また、プロセスダメージ等に起因して発生するキャパシタ絶縁膜中の欠陥が上下電極界面に対称に存在しない場合であってもVCC1への寄与が相殺される。この効果はプロセスダメージ除去のための熱処理が事実上不可能な多層配線層上のMIMキャパシタに対して極めて有効である。

また、通常、MIMキャパシタの配線はMIMキャパシタの面積が極めて大きいので下部電極への配線と上部電極への配線の長さが異なり、インダクタンスも大きく異なるために回路のQ値が悪化する傾向にある。本発明のように一对のキャパシタの各電極間を接続する配線を上層の配線層を介してとることによりキャパシタ電極に接続される配線のインダクタンスをほぼ等しくすることが可能になるので回路のQ値向上に有効である。

また、本発明の構造を採用しても製造工程の数は増大しない。MIMキャパシタの面積はもともと数百ミクロンオーダーと大きいものに対して、現在のCMOSの加工寸法は0.1ミクロンオーダーの加工が容易にできるので、本発明の構造を採用しても半導体装置面積への影響は殆ど認められない。

【0035】

【発明の効果】

以上、本発明は、半導体基板上のキャパシタが上下対称な構造にあるためVCC1をほぼ0にすることができる。したがって、キャパシタに入力するアナログ信号は歪みのないデジタル信号となって出力される。

【図面の簡単な説明】

【図1】

本発明に係る第 1 の実施例の半導体装置の製造工程を説明する工程断面図。

【図 2】

本発明に係る第 1 の実施例の半導体装置の製造工程を説明する工程断面図及び半導体基板上のキャパシタの平面図。

【図 3】

本発明に係る第 1 の実施例の半導体装置の製造工程を説明する工程断面図及び半導体基板上のキャパシタの平面図。

【図 4】

本発明に係る第 1 の実施例の半導体装置の製造工程を説明する工程断面図及び半導体基板上のキャパシタの平面図。

【図 5】

図 4 の半導体基板上に形成されたキャパシタの模式図。

【図 6】

本発明に係る第 2 の実施例の半導体装置の断面図及び半導体基板上のキャパシタの平面図及びキャパシタ模式図。

【図 7】

本発明に係る第 3 の実施例の半導体装置の断面図及び半導体基板上のキャパシタの平面図及びキャパシタ模式図。

【図 8】

本発明に係る第 4 の実施例の半導体装置の断面図及び半導体基板上のキャパシタの平面図及びキャパシタ模式図。

【図 9】

本発明に係る第 5 の実施例の半導体装置の断面図及び半導体基板上のキャパシタの平面図及びキャパシタ模式図。

【図 1 0】

A D コンバータの動作原理を示す模式図。

【符号の説明】

1 0 1 . . . 半導体基板

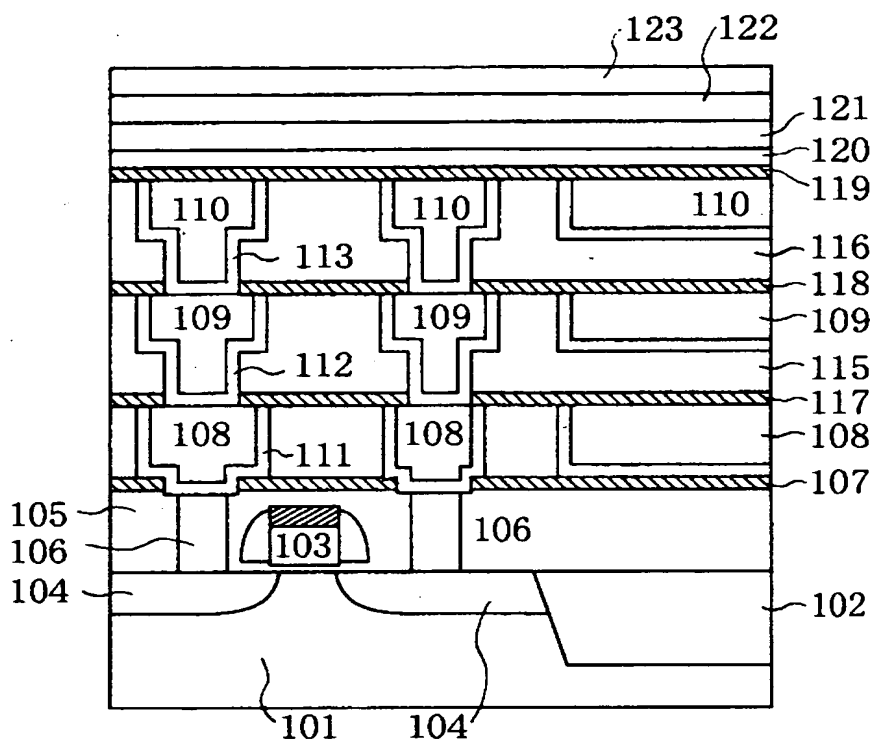
1 0 2 . . . 素子分離領域

103・・・ゲート電極
 104・・・ソース・ドレイン領域
 105、114、115、116、128、228、328、408、508
 ・・・層間絶縁膜
 106・・・金属膜
 107、117、118、119、122、321、323、501・・・窒
 化シリコン膜 (SiN)
 108、109、110・・・金属配線層
 111、112、113・・・バリア層
 120、220、320・・・チタン膜
 121、123、502・・・窒化チタン膜
 124、125、224、225、324、325、404、405、503
 、504・・・キャパシタ上部電極
 126、127、226、227、326、327、406、407、505
 、506・・・キャパシタ上部電極
 129、129'、229、229'、329、329'、409、409'
 、509、509'・・・配線
 221・・・ Al_2O_3 膜
 222、322、402・・・ Ta_2O_5 膜
 401、403・・・ニッケル (Ni) 膜
 601・・・キャパシタ
 602、603・・・スイッチング素子

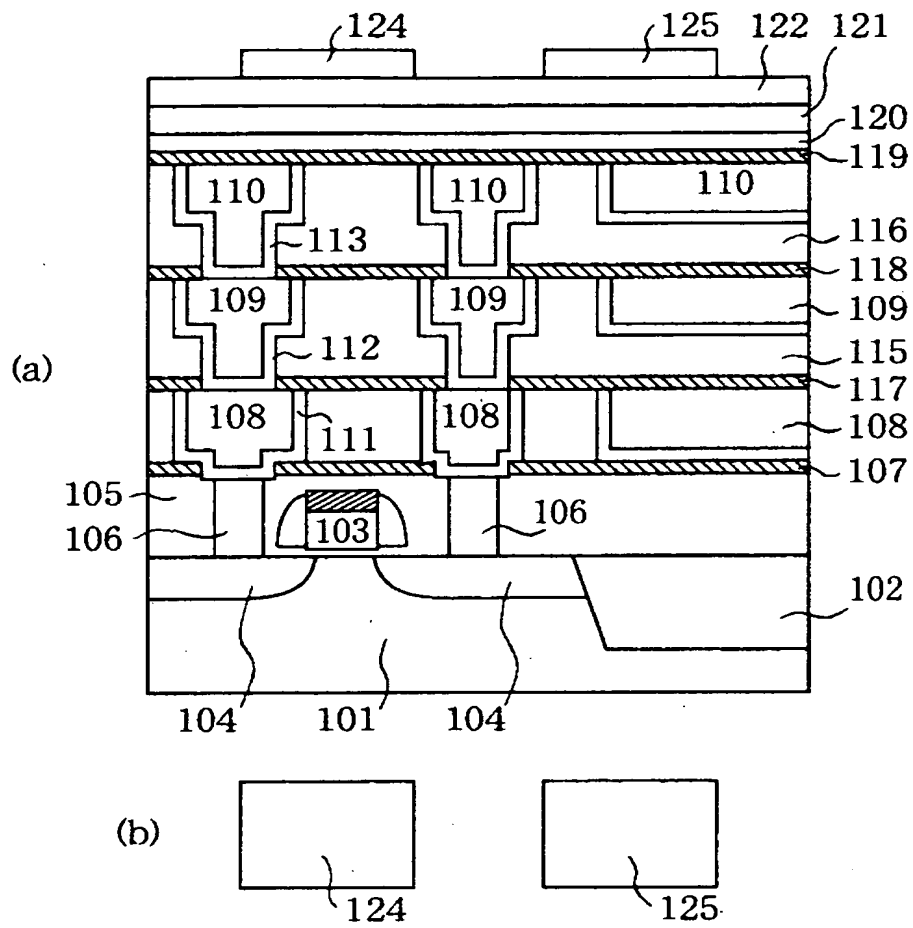
【書類名】

図面

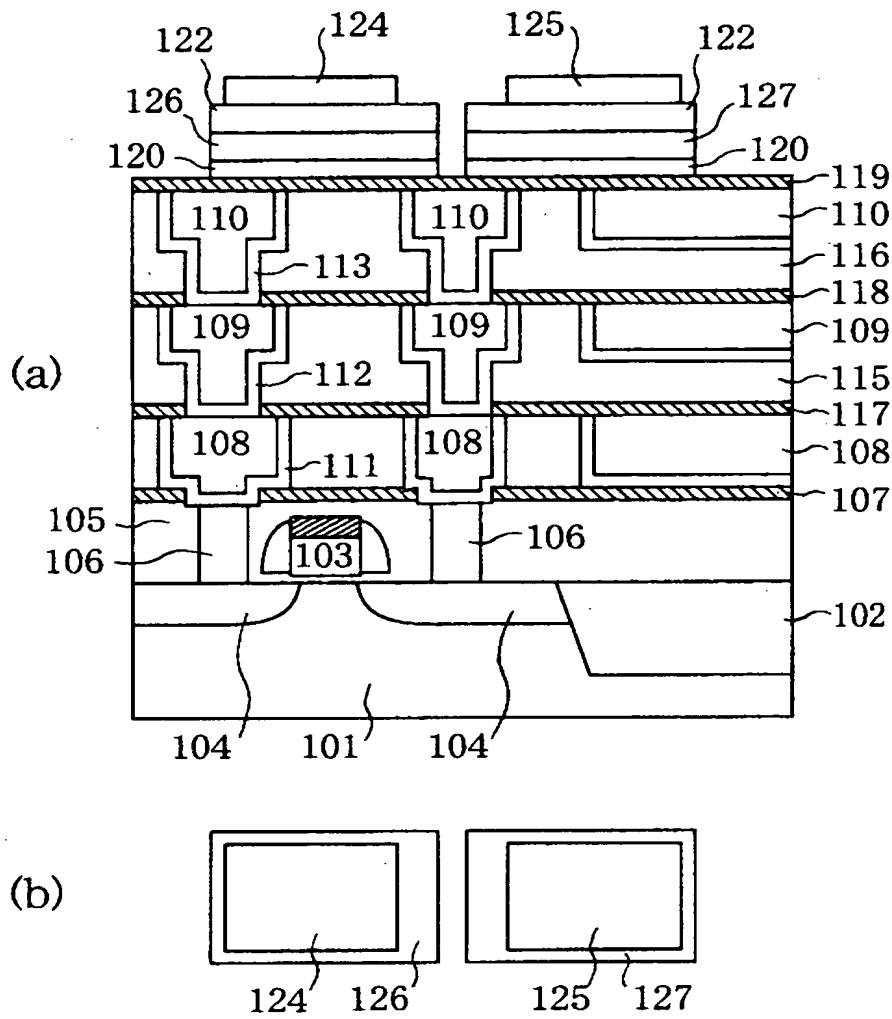
【図 1】



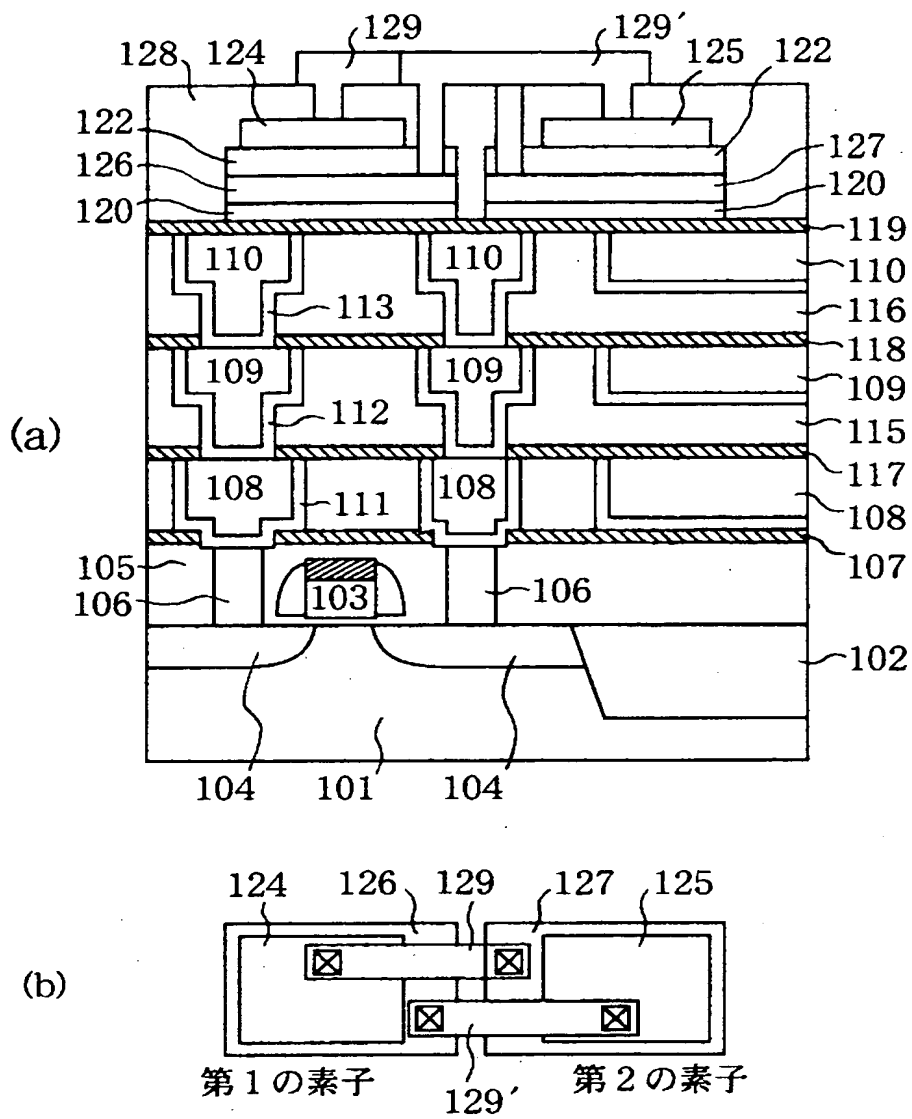
【図 2】



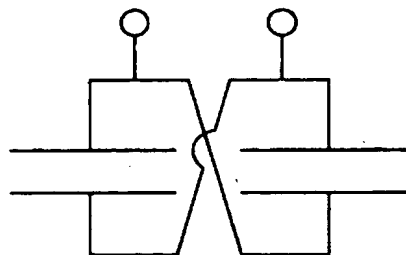
【図3】



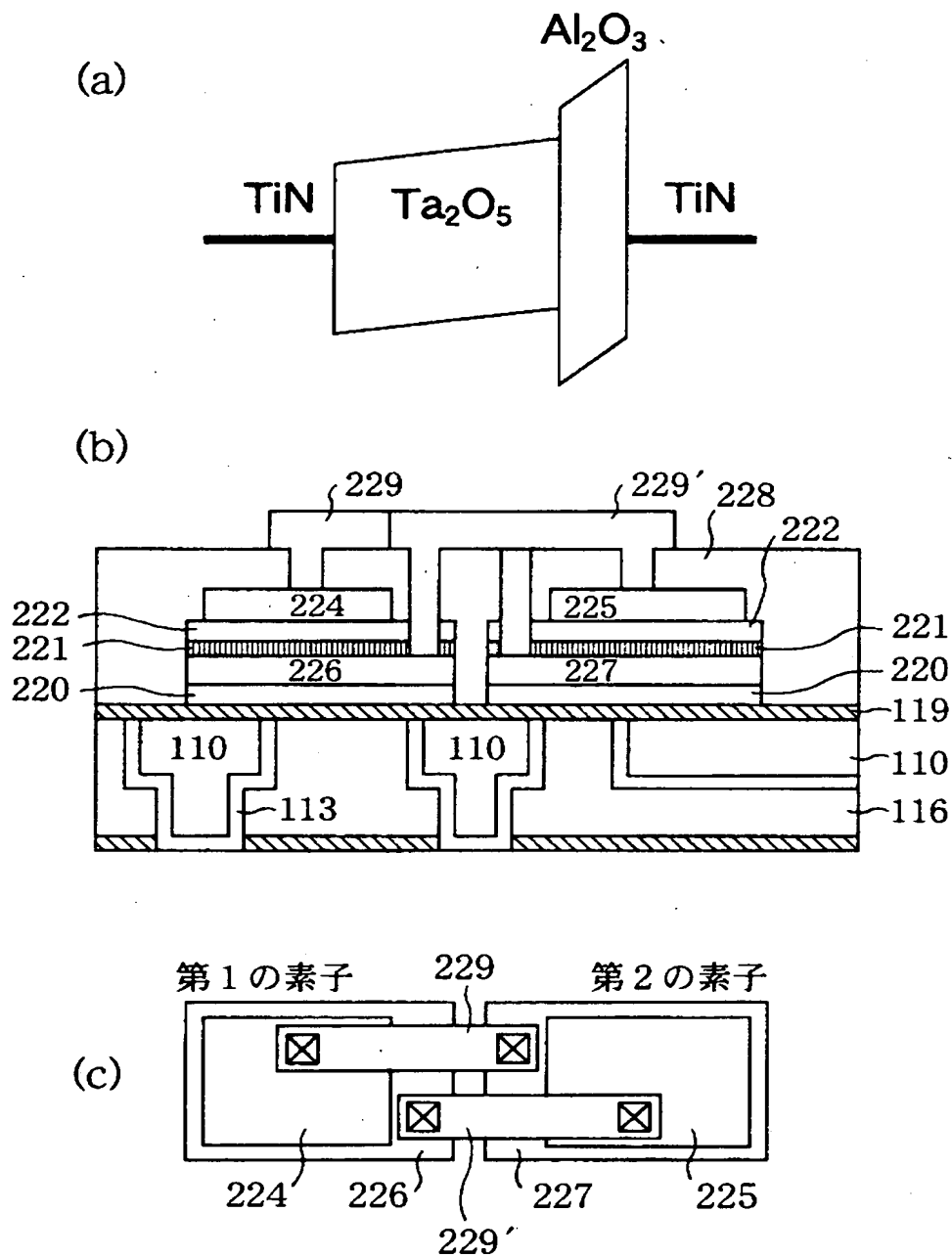
【図4】



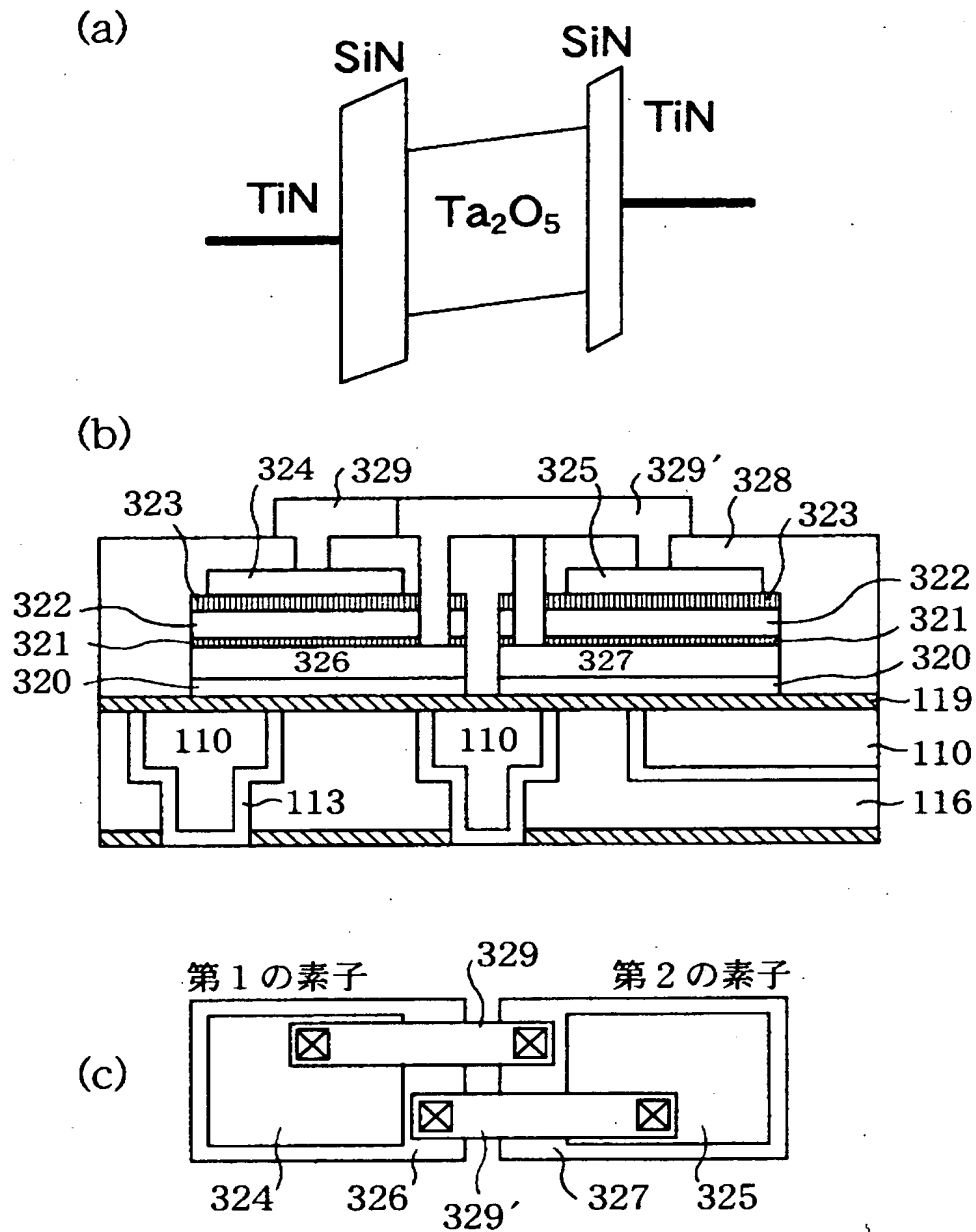
【図5】



【図6】

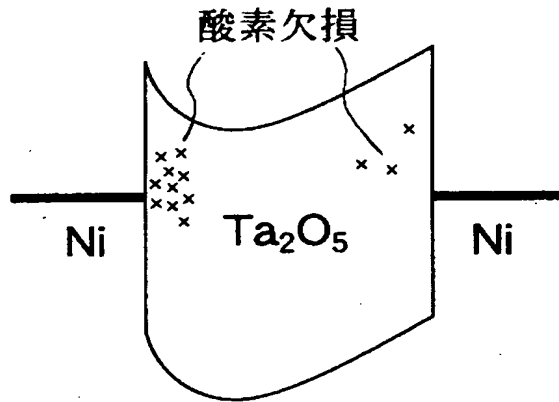


【図 7】

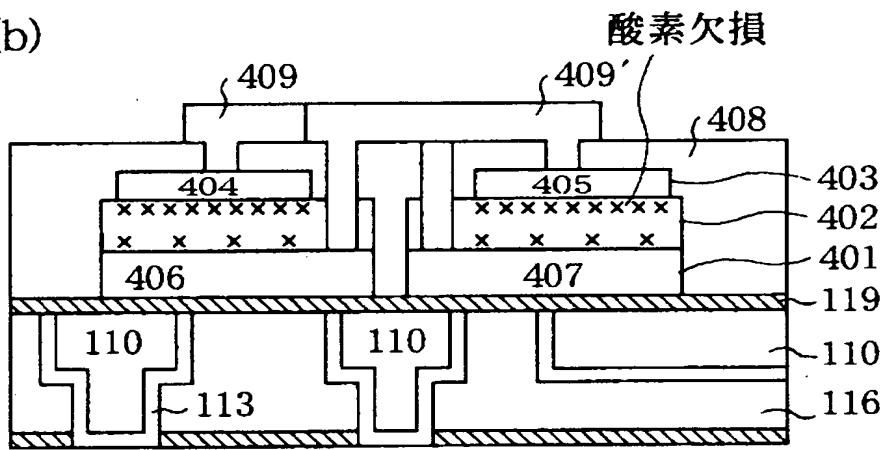


【図 8】

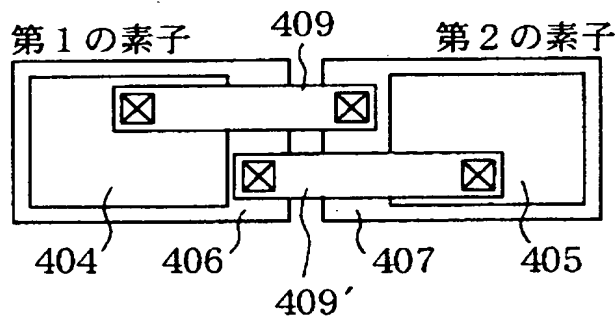
(a)



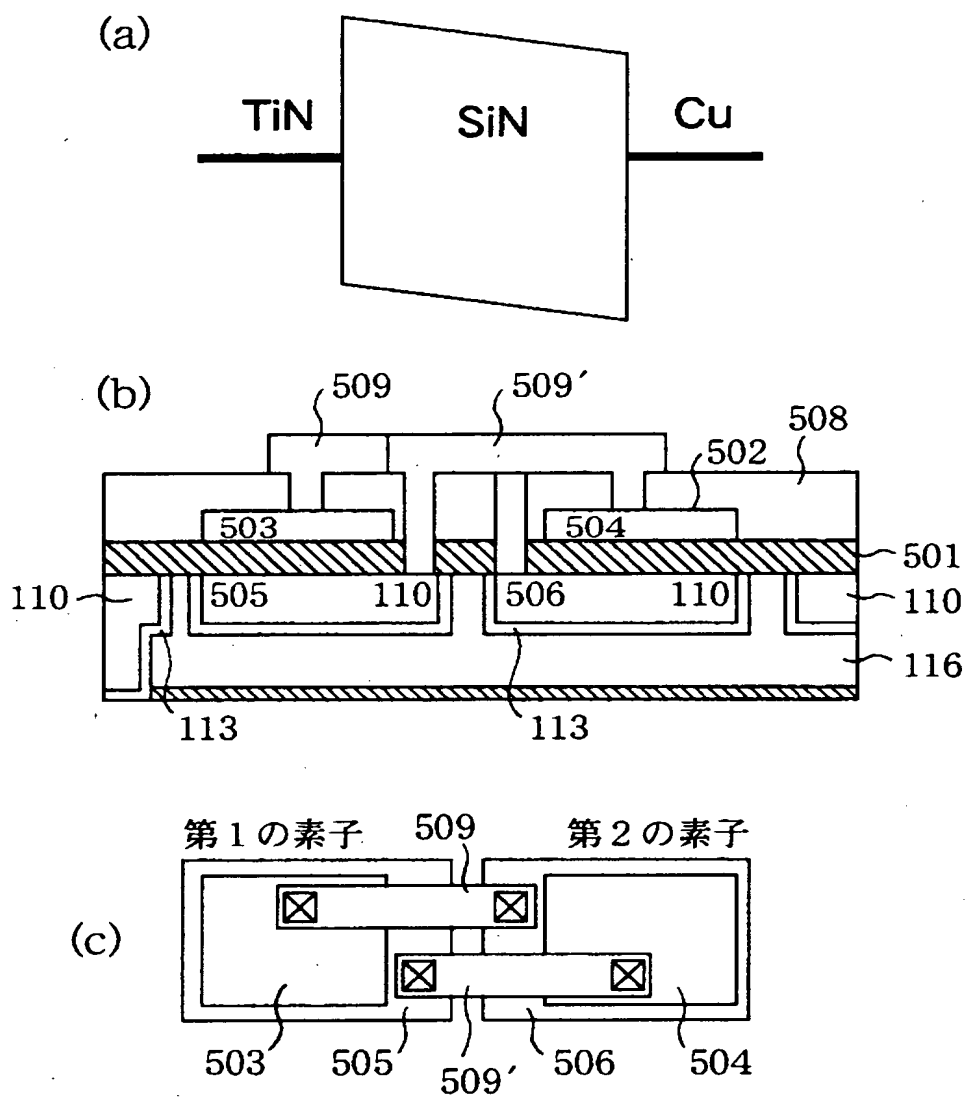
(b)



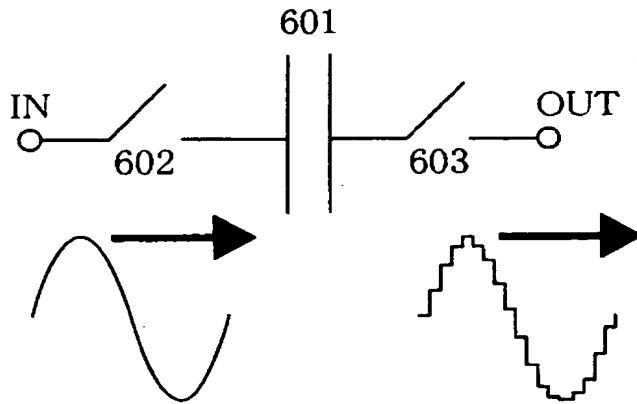
(c)



【図9】



【図 1 0】



【書類名】

要約書

【要約】

【課題】 半導体基板上の多層配線上に形成するのに適した高容量・高密度MIMキャパシタであり、ADコンバータ等のアナログ回路への応用に適する印加電圧に対する良好な線形性を示すキャパシタを提供する。

【課題手段】 MIMキャパシタが2つの実質的に上部電極面積124、125が等しい一対の素子（第1の素子及び第2の素子）から構成され、一方のキャパシタの下部電極127又は126ともう一方のキャパシタの上部電極124又は125とが互いに配線129（124と127とを接続する）又は129'（125と126とを接続する）で電氣的に接続された構造を有する。電圧に対する線形性の極めて優れたキャパシタが実現する。電極界面での反応が起こり易い高誘電率材料や大面積基板上での均一な界面形成が困難なような成膜方法を用いても、印加電圧に対する良好な線形性を確保することができる。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝